

電極接触抵抗低減によるグラフェントランジスタの省電力化

研究代表者 大阪府立大学 21 世紀科学研究機構 野内 亮

1. はじめに

将来の高速エレクトロニクス素子材料候補として、近年、層状物質であるグラファイトの単原子層のみを取り出したものであるグラフェン（図 1）と呼ばれる物質が世界的に大きく注目されている [1]。電子デバイスの動作は活性層（主には半導体層）中の電荷キャリア（電子や正孔）の動きに因るものであり、それらキャリアがどれだけ動きやすいか、どれだけ高速に動き得るか、ということが非常に重要である。それを示すパラメータとして易動度と呼ばれるものがあるが、グラフェンでは低温で数百万 $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ という非常に高い値が報告されている。即ち、グラフェンを使用することで電子デバイスの超高速動作が可能となることを示しており、次世代電子デバイス材料候補としてグラフェンの研究が非常に盛んであることの原因となっている。

しかしながら、いくらグラフェンの易動度が高くとも、電子デバイスはグラフェンのみで成り立つものではないため、十分にその威力を発揮することは非常に困難である。素子性能制限要因として一番大きなものの一つに、電子デバイスでは必要不可欠である金属電極との接合部位がある。グラフェン中の電荷キャリアの動きを電流として取り出すためには、金属材料をグラフェンに接合させ、それを電極として電気信号を得る必要がある。そのような場合に避けられないものとして、電極接合部位に局在する電気抵抗が存在する。接触抵抗と呼ばれるこの電気抵抗の存在ゆえに、グラフェン中では高速に動き得るキャリアも、電極接合部には動きが阻害されてしまう。即ち、電極接合に起因して素子動作にとっては不必要な電力消費が起きてしまうことを意味する。特に電子デバイスの微細化が進む昨今においては、デバイス全体の抵抗値における接触抵抗の占める割合が非常に大きいため、電極接合の質がグラフェンを用いた電子デバイスの動作特性を決定づけてしまうことになる。高速且つ低消費電力の素子を実現するためには、電極接合に起因する接触抵抗の低減が必要不可欠な課題である。

そこで本研究では、グラフェンへの電極接合に起因する接触抵抗の成因を精査することで接触抵抗の削減を達成し、グラフェンを用いた電子デバイスの応用への道を一歩進めることを目指す。

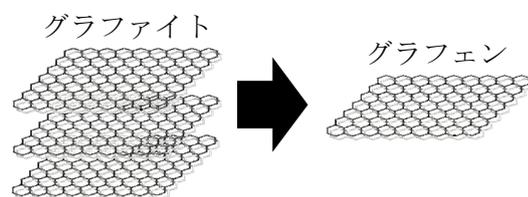


図 1 グラファイトから剥離して得られるグラフェン。

2. 電極接触抵抗の成因と削減のための方策

電極接触抵抗は、電極接合に起因し接合部位に局在して出現する付加的な抵抗値であるから、電極からグラフェンへの電荷キャリア注入過程によるものと理解できる。単層グラフェンはバンドギャップを有さないため、半導体への電荷注入で問題となる電荷注入障壁（Schottky 障壁）が存在しない。この場合、電荷注入過程は電荷トンネルと考えられ、電極接合部のグラフェンが有する状態密度の大ききさで決まる [2]。ここで言う状態密度は電子が占有できる状態の密度であり、これが高いほどトンネルは容易になる。グラフェンの状態密度は電荷中性状態においてゼロで、そこから離れるに従いほぼ線形に増加するため、グラフェン中の電荷キャリア濃度が高いと接触抵抗は低くなる（図 2）。実際、研究代表者らが、単層グラフェンに対し種々の電極金属種による電極接合を形成し、その接触抵抗を実験的に求めたところ、電極からのキャリアドーピング量が多い（電極接合部におけるグラフェンの状態密度が高い）ほど接触抵抗が小さいという結果を得ている [3]。しかし、調査した内で最もドーピング量が多い Ag 電極の場合においても、チャンネル幅 W で規格化した接触抵抗は $0.1 \text{ k}\Omega \mu\text{m}$ 程度であり、報告されている中ではかなり小さい値ではあるものの、実用にはまだ不十分である。

また、電荷トンネルを容易にするもう一つの方策として、トンネル障壁幅の削減が挙げられる（図 2）。電極金属種によってグラフェンとの相互作用強度には差があることが知られており [4]、特に Ni などグラフェンに対し化学吸着をするような金属種においては強い相互作用により障壁幅が狭くなると期待できる。しかし最近、Ni 接合の接触抵抗値が、グラフェン上には物理吸着をするため相互作用強度が弱いと考えられる Au 接合と比較し更に高いと報告されている [5]。この事実は、電極とグラフェンとの間の相互作用強度が強い場合においても、電極/グラフェン間距離の削減による接触抵抗削減は望み薄であるということを示している。

以上の実験事実を受け、本研究期間においては、電極金属種を変えたドーピング強度増大や相互作用強度増大の方策は取らず、電極/グラフェン界面へ、グラフェンに対しキャリアドーピングをし得る分子を挿入することで、電極直下グラフェンの状態密度向上の方策により、電極接触抵抗削減を試みた。

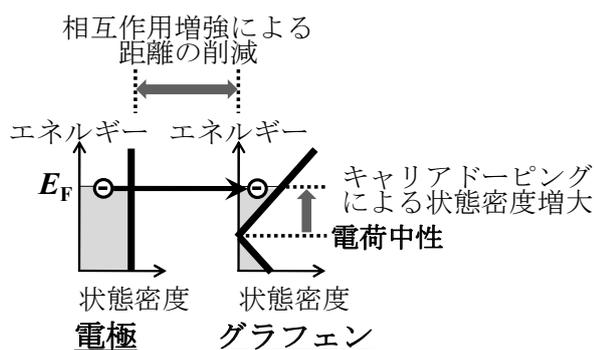


図 2 電極から単層グラフェンへの電荷注入過程（電荷トンネル）と注入効率向上のための方策。本研究では状態密度増大の方策を採った。

3. 実験詳細

3. 1. 電極接触抵抗の抽出法

電極接触抵抗を実験的に抽出する際に頻用される手法として、電極間距離（チャンネル長）を様々に変えた一連の素子の抵抗を測定し、測定結果から数学的に接触抵抗 R_C を抽出する手法

(Transfer length method; TLM)

がある(図3)。二端子抵抗 R はグラフェン部の抵抗 R_g と接触抵抗の和であるから、 $R = R_g + 2R_C$ となる。ここで、 R_C に掛かる係数2は、電極接合が左右に2つ存在することに起因する。一般的に、 R_g はシート抵抗（面抵抗

率) $R_{g\Box}$ を用いて $R_g = R_{g\Box} \times L/W$ と書き直すことができるから、二端子の全抵抗は $R = R_{g\Box}L/W + 2R_C$ と表される。従って、 L の異なる素子について測定した R を L に対してプロットし、それをこの式に従って線型フィッティングした際の R 軸切片 ($L=0$ での R) により R_C が求まることになる。

3. 2. 素子作製

図4に本研究で用いた素子作製手順を示す。素子基板としては300 nm厚の熱酸化膜を有する高ドープSiウエハを用いた。基板上に形成したグラフェン層上に電子線レジストを塗布し、電子線リソグラフィを用いてチャンネル長を種々に変えた電極パターンをレジストに作製する。その後、ドーパント分子層をグラフェン上に形成してから、電極を真空蒸着とリフトオフにより作製し、電界効果トランジスタ (Field-effect transistor; FET) 構造とした。本研究においては、電極金属種としては、酸化による影響が無視できるAuを使用した。但し、Au膜は SiO_2 との接着力が弱いため、接着層としてCr薄膜(1 nm厚)を用いて電極剥がれを防いでいる。なお、形成したグラフェンの層数は、光学顕微鏡像のコントラストと Raman 散乱分光のスペクトル形状から決定可能であり、本研究においても同じ手法を用いている。

ドーパント分子層形成は、7,7,8,8-tetracyanoquinodimethane (TCNQ) の飽和トルエン溶液(室温)への浸漬、あるいは4-nitrobenzene diazonium tetrafluoroborate (NDT) の1 mM水溶液(1wt%のドデシル硫酸ナトリウム含有)への浸漬により行った。前者は電子アク

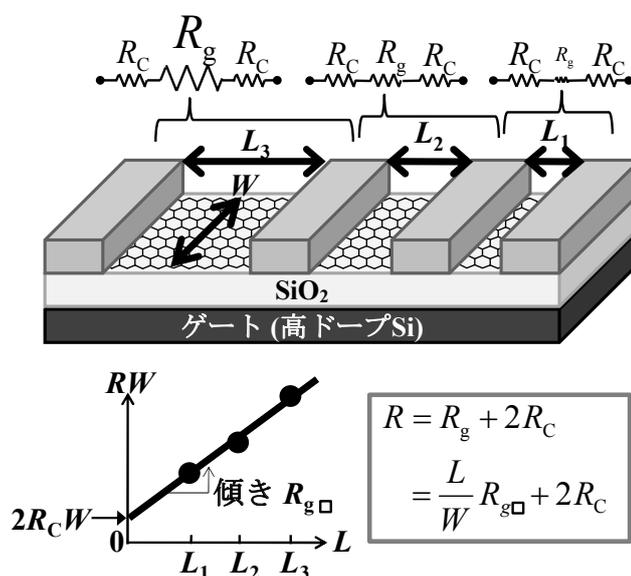


図3 TLMによる電極接触抵抗抽出の模式図。

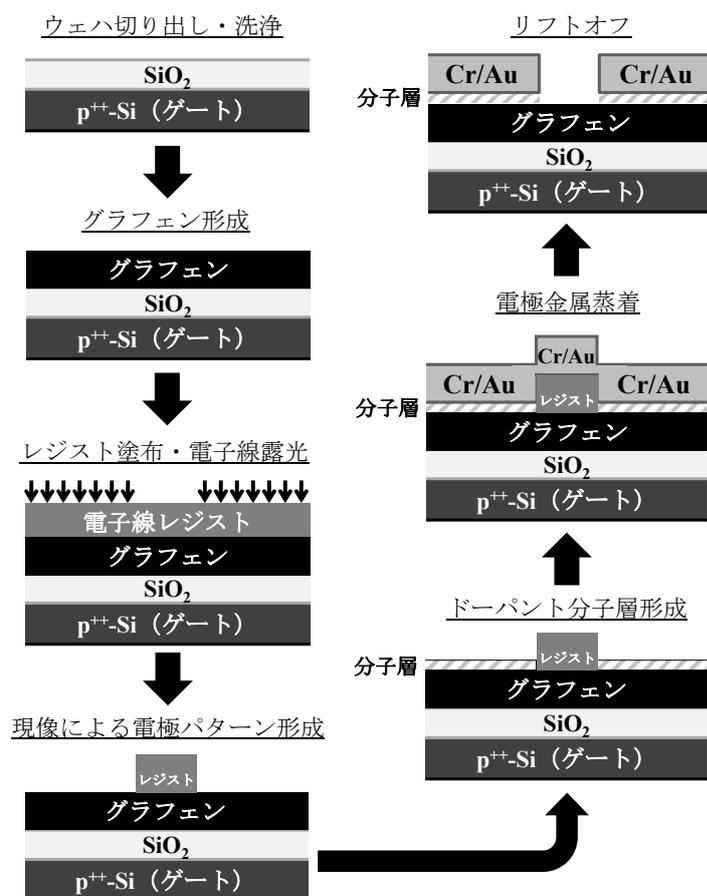


図4 素子作製手順。

セプタとして頻用される低分子であり [6]、グラフェンの sp^2 ネットワークはそのままに、界面電荷移動によりグラフェンに正孔をドーピングする。後者は、分子に含まれるアリール基がグラフェンと共有結合をするため、 sp^3 への再混成が起こるものであるが、こちらも結果的にグラフェンへの正孔ドーピングを起こすことが知られている [7,8]。前者の処理においては、室温での 10 秒間の浸漬後に余分な溶液をブロワーにより吹き飛ばした。後者の処理では、 40°C で 4 時間浸漬 (120 rpm で攪拌) 後、純水での洗浄を行った。どちらの場合も、処理後はすぐに電極形成のための真空蒸着装置内に素子基板を設置し、真空ポンプによる排気を開始することで、大気中での汚染や劣化は最小限に止めている。

4. 実験結果と考察

4. 1. 単層グラフェン

図5に電極直下に TCNQ 処理あるいは NDT 処理を行った単層グラフェン FET の伝達特性 (ドレイン電流 I_D のゲート電圧 V_G 依存性) を示す。Au 電極を有するグラフェン FET の伝達特性は通常 V 字型であるのに対し、どちらの処理を行った場合も、正のゲート電圧側に歪みを生じている。以前、グラフェンとの界面における電極の酸化により歪みが生じ得ることを研究代表者は見出しており [9]、同様の現象によると考えられる。このような歪みは、電極/グラフェン界面にドーパント分子層を挿入したことにより、電極とグラフェンの直接的なカップリングが切られたことに伴う「電荷密度ピーニングの外れ」から理解できる。FET 性能を決める重要なパラメータの一つに電界効果易動度というものがあるが、これはゲート電圧変化に対するドレイン電流変化率により決まる。歪みが生じるといふことはそのゲート電圧域における電界効果易動度の劣化を意味するものであり、このよ

うな歪みは避けるべき存在である。即ち、電極と単層グラフェンとの界面へのドーパント分子層の挿入は、現時点ではあまり良い方策ではないと考えられる。

4. 2. 二層グラフェン

そこで、次に、積層数の異なるグラフェンについて調査した。グラフェンは層数の違い

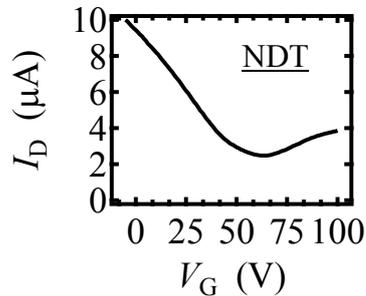
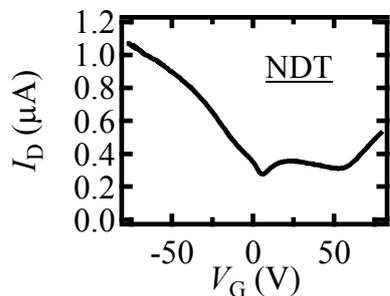
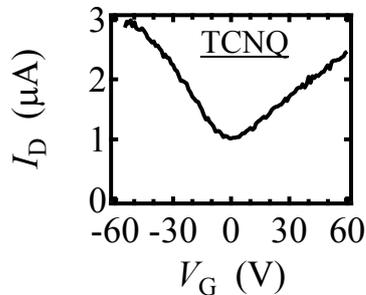
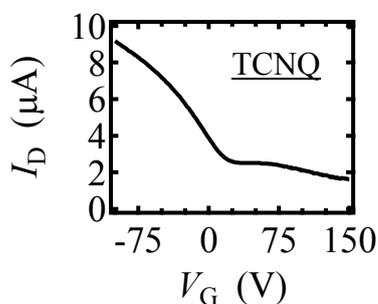
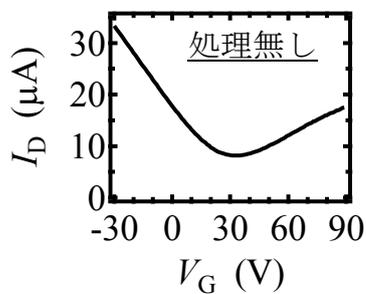
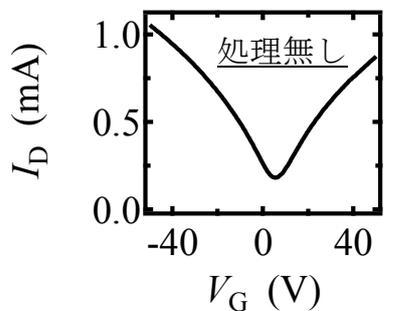
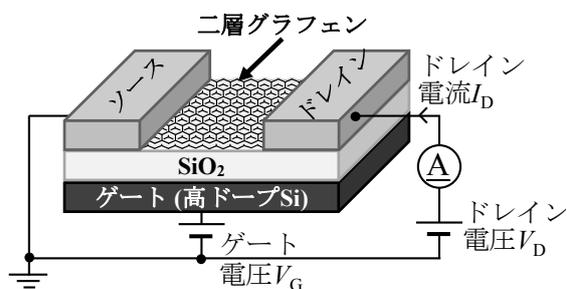
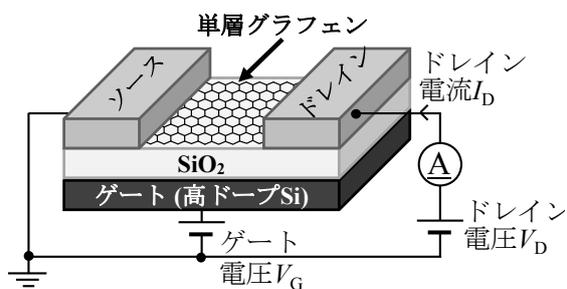


図5 単層グラフェン FET の伝達特性への電極直下ドーパント分子層の効果。

図6 二層グラフェン FET の伝達特性への電極直下ドーパント分子層の効果。

により異なる電子状態を有するため、層数が異なることで電極接合に対する応答も異なるものとなることが期待される。このような多層グラフェンの中で、最も精力的に研究がなされているのは二層グラフェンである。なぜならば、多層グラフェンにおいて通常見られる積層構造である AB 積層を有する二層グラフェンは、グラフェン面に垂直な方向への電界印加によりバンドギャップを形成することが可能であるからである。これは、垂直方向の電界により、二層の間でポテンシャルの差が生まれることに起因する。単層グラフェンは図 2 に示す通りバンドギャップを有さず、電荷中性状態においても熱励起キャリアにより電荷キャリア数は有限となり、結果的に伝導度も有限となってしまう。従って、FET のスイッチング素子としての性能指標である電流のオンオフ比は低く、これがグラフェンのデジタル素子応用への弊害となっている。それに対して二層グラフェンは、バンドギャップを形成し得るために電流のオフ状態を作ることが可能である。

図 6 に電極直下に TCNQ 処理あるいは NDT 処理を行った二層グラフェン FET の伝達特性を示す。単層グラフェンの場合と違い、ドーパント分子層が存在しても歪みは生じていない。そこで、電極直下ドーパント分子層が電極接触抵抗にどのような影響を与えるかについて、二層グラフェン FET の伝達特性測定結果を用いて調査した。図 7 に TLM により電極接触抵抗を抽出した結果を示す。縦軸はチャンネル幅 W で規格化した電極接触抵抗、横軸は電荷中性状態のゲート電圧値 V_{NP} (図 6 の伝達特性において V 字の谷の点；電荷中性点) に対する相対的なゲート電圧である。電荷中性点から離れた点では処理の有無で差はあまり無いが、電荷中性点近傍では処理を行わない方が接触抵抗は小さいことが分かる。即ち、電極直下ドーパント分子層は有効的でないことが示されたといえる。

この結果は本研究の本来の目的からすると否定的なものではあるが、これまで単層グラフェンと比してあまり知見が蓄積されてきていなかった二層グラフェンへの電極接合に関して、新たな知見を与えるものである。例えば、図 7 のゲート電圧依存性の形を見ると、ゲート電圧の正負に対して明確な非対称性が見られる。前述した通り、二層グラフェンは

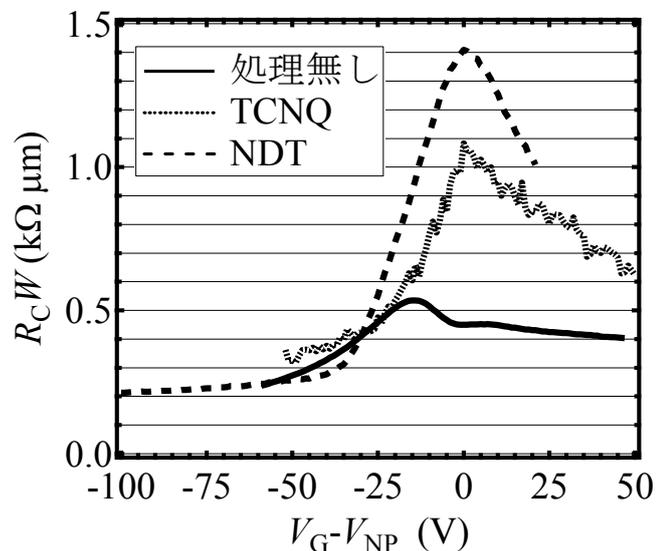


図 7 TLM により抽出した二層グラフェン FET の電極接触抵抗のゲート電圧依存性。

二層間にポテンシャル差が導入されると、バンドギャップを形成する。電極接合においては、電極からグラフェンへの界面電荷移動が起こるが [10]、電荷移動量は電極と直に接合している上層の方が、直接触れていない下層よりも多いはずであり、即ち、二層間にポテンシャル差が必然的に導入されることになるため、電極直下ではバンドギャップが形成されるはずである。電極直下に明確に正孔ドーピングがなされていると考え得る TCNQ の例を見ると、ゲート電圧の正側に対して負側の接触抵抗値が明らかに小さい。FET 動作において、ゲート電圧が負というのはグラフェン中に正孔を誘起する向きであり、逆にゲート電圧が正の場合は電子が誘起される。本研究の素子においてゲート電圧は基板下部から印加されているため、電極の効果とは違って、ゲート電圧による電荷キャリア誘起の効果は下層のグラフェンの方が上層よりも大きく受ける。従って、電極からの正孔ドーピング量は上層の方が大きいのに対し、負のゲート電圧による正孔誘起の効果は下層の方が大きい。負のゲート電圧では結果的に二層間のポテンシャル差が解消する方向に向かうと考えられる。ゲート電圧の正負に対する接触抵抗の非対称性は、このように理解できる。

5. まとめと展望

本研究は、将来の高速電子素子材料として注目を浴びるグラフェンという物質に対し、電子素子において不可避となる電極接合に伴い付加的に出現する抵抗値である電極接触抵抗を削減することを目指したものである。そのための方策として、本研究期間中においては、電極接合部のグラフェンの状態密度上昇を狙い、電極直下にドーパント分子層を挿入することを試みた。単層グラフェンに対しては、電極とグラフェン間の直接的なカップリングが切れることに伴い、FET の伝達特性に歪みが生じたため、ドーパント分子層挿入は良い方策ではないことが明らかとなった。次にバンドギャップを形成可能なためにデジタル素子応用に向くと期待される二層グラフェンに対してドーパント分子層挿入を試みたところ、FET の伝達特性には歪みが見られないことが分かった。そこで、チャンネル長を種々に変えた二層グラフェン FET の伝達特性測定結果を用い、TLM により電極接触抵抗を抽出したところ、ドーパント分子層による接触抵抗低減は見られないが、ゲート電圧の正負に対する非対称性の存在を新たに見出した。このことは、二層グラフェンに対する電極接合部においてバンドギャップが形成していることの傍証と考えられ、単層グラフェンと比較してあまり調査されていなかった二層グラフェンへの電極接合効果に関して、新たな知見となるものと考えられる。

本研究により、電極接触抵抗削減の方策として見た場合、電極／グラフェン間へのドーパント分子層挿入は有効でないことが判明したが、これは当該分子層挿入がグラフェン／電極間距離、即ちトンネル障壁幅を広げ、結果的に電荷注入効率を低下させてしまうためと考えられる。状態密度上昇の効果は、電荷注入効率低下の効果にマスクされてしまった

と考え得る。従って、現在のような電極／ドーパント分子／グラフェンの構造ではなく、ドーパント分子／グラフェン／電極の構造が有効と考えられる。この構造であれば、単層グラフェンに対しても、電極とグラフェンとの間の直接的なカップリングが維持されるため、FETの伝達特性に歪みは生じないものと期待される。これまでのところ、この新たな方策に基づいた素子においては、電極上へのグラフェンの貼り付け具合が悪く、良い結果は得られていない。しかし、グラフェンの電極上への転写方法の最適化により、この点は解決され得るものと期待している。また、最近では、電極直下のグラフェンにエッチング等で端を導入することで、電極接触抵抗の低減が可能であることが示されている [11,12]。このような新規方策と併せることで、接触抵抗の相当量の削減が可能になると考えられる。

本研究は公益財団法人 JFE21 世紀財団より 2012 年度・技術研究助成を受けて行われた。ご支援に対しここに深い感謝を表したい。

参考文献

- [1] A. H. Castro Neto, F. Guinea, N. M. R. Peres, K. S. Novoselov, and A. K. Geim, *Rev. Mod. Phys.* **81**, 109 (2009).
- [2] K. Nagashio, T. Nishimura, K. Kita, and A. Toriumi, *Appl. Phys. Lett.* **97**, 143514 (2010).
- [3] R. Nouchi, T. Saito, and K. Tanigaki, *J. Appl. Phys.* **111**, 084314 (2012).
- [4] G. Giovannetti, P. A. Khomyakov, G. Brocks, V. M. Karpan, J. van den Brink, and P. J. Kelly, *Phys. Rev. Lett.* **101**, 026803 (2008).
- [5] R. Ifuku, K. Nagashio, T. Nishimura, and A. Toriumi, *Appl. Phys. Lett.* **103**, 033514 (2013).
- [6] H. Watanabe, R. Nouchi, and K. Tanigaki, *Jpn. J. Appl. Phys.* **49**, 120201 (2010).
- [7] X.-Y. Fan, R. Nouchi, L.-C. Yin and K. Tanigaki, *Nanotechnology* **21**, 475208 (2010).
- [8] X.-Y. Fan, R. Nouchi, and K. Tanigaki, *J. Phys. Chem. C* **115**, 12960 (2011).
- [9] R. Nouchi and K. Tanigaki, *Appl. Phys. Lett.* **96**, 253503 (2010).
- [10] R. Nouchi, T. Saito, and K. Tanigaki, *Appl. Phys. Express* **4**, 035101 (2011).
- [11] J. T. Smith, A. D. Franklin, D. B. Farmer, and C. D. Dimitrakopoulos, *ACS Nano* **7**, 3661 (2013).
- [12] W. S. Leong, H. Gong, and J. T. L. Thong, *ACS Nano*, DOI: 10.1021/nn405834b.